

Structura Procesoarelor din Familia Intel

Acest **curs** prezintă **Structura Procesoarelor din Familia Intel**.

In acest PDF poți vizualiza cuprinsul și bibliografia (daca sunt disponibile) și aproximativ două pagini din documentul original.

Arhiva completa de pe site conține un fișier, într-un număr total de **64 pagini**.

Fisierele documentului original au următoarele extensii: doc.

Extras

5.1. Structura procesorului 286

Arhitectura internă a microprocesorului 286 constă din patru unități funcționale, care lucrează în paralel și realizează execuția instrucțiunilor ca pe o „bandă de asamblare”.

Funcționarea procesorului se poate rezuma, în principiu, la o succesiune de operații care se execută în mod repetat:

1. Citește instrucțiunea - pe durata acestui ciclu se transmite adresa instrucțiunii de executat și se aduce, din memorie, instrucțiunea în CPU (ciclul Fetch);
2. Decodifică instrucțiunea (și în paralel citește un posibil operand de 16 biți);
3. Transmite adresa și citește un operand sursă din memorie, dacă se specifică în instrucțiune, și citește valoarea registrului destinație (ciclul Read)
4. Execută instrucțiunea (ciclul Execution);
5. Transmite adresa și scrie rezultatul în memorie, dacă instrucțiunea o cere (ciclul Write).

La un procesor tradițional (de exemplu 8080) fazele de execuție ale unei instrucțiuni se realizau secvențial (figura 5.1):

F1 D1 E1 F2 D2 E2

Figura 5.1 Execuția secvențială a fazelor unei instrucțiuni

În această schemă s-a considerat execuția a două instrucțiuni simple, fiecare dintre ele cu fazele de citire instrucțiune (Fetch, F1 și respectiv F2), decodificare (D1, D2) și execuție instrucțiune (E1, E2). Dacă instrucțiunile respective conțin și ciclurile de citire sau scriere (3 și respectiv 5), atunci acestea trebuie inserate după decodificarea, respectiv execuția instrucțiunii.

Spre deosebire de acest mod de lucru secvențial tradițional, procesorul 80286 realizează execuția acestor faze în paralel, ca în figura 5.2.

Figura 5.2 Execuția paralelă a fazelor unei instrucțiuni.

În această diagramă sunt simplificate ciclurile procesorului, considerându-se execuția unei secvențe de instrucțiuni simple, care nu conține operațiile 3 și 5, dintr-un ciclu complet al unei instrucțiuni complexe. Pentru aceste instrucțiuni se mai inserează fazele necesare transmiterii adreselor operanzilor (pentru AU) și cele de citire sau scriere ai operanzilor (pentru BU).

Cele patru unități funcționale ale procesorului 286 sunt: unitatea de adresare (AU), unitatea de interfață cu magistrala (BU), unitatea de decodificare instrucțiuni (IU) și unitatea de execuție (EU), ca în figura 5.3.

Unitatea de adresare (AU - Address Unit) determină adresa fizică, conține un sumator de deplasament (offset), care determină offsetul în funcție de modul de adresare, și un sumator de adrese fizice (de 20 sau 24 biți, în funcție de modul de lucru) care determină adresa fizică, sub formă de sumă între adresa de segment și offset. De asemenea, unitatea mai realizează diferite verificări (în modul protejat), verifică limita și dimensiunea unui segment și furnizează adresa de bază a segmentului; această unitate este complet izolată de exterior.

Unitatea de interfață cu magistrala (BU - Bus Unit) conține drivere și latch-uri pentru adrese, o unitate de citire anticipată a instrucțiunilor (PreFetcher), interfața cu extensia procesor, logica pentru controlul magistralei, o coadă de instrucțiuni (de 6 octeți) și realizează transmisia/recepția datelor. Lungimea cozii a fost aleasă astfel încât BU să țină ocupată EU cât mai mult timp posibil. De fapt, această unitate realizează comunicația cu exteriorul. Extensia procesor este un alt procesor specializat, de exemplu un procesor de intrare/ieșire sau, de obicei, coprocesorul matematic, denumit și procesor matematic în virgulă mobilă - FPU (Floating Point Unit).

Unitatea de citire anticipată (prefetcher) a instrucțiunilor realizează funcția de anticipare a programului. Atunci când BU nu efectuează cicluri magistrală (citire/scriere operand) pentru execuția unei instrucțiuni, această unitate utilizează BU pentru citirea secvențială, în avans, a fluxului de instrucțiuni. BU lansează o cerere de citire (din memorie) de instrucțiune imediat ce există doi octeți liberi în coada de instrucțiuni; citirea instrucțiunilor se face numai pe 16 biți, într-un ciclu de acces la memorie. Dacă, prin program, se citește de la o adresă impară, BU citește octetul de la adresa impară și apoi reia citirea a câte doi octeți de la adresele pare următoare.

În general, BU conține cel puțin un octet în coada de instrucțiuni, deci EU nu trebuie să aștepte citirea instrucțiunilor. În coadă sunt introduse instrucțiunile de la adresele imediat următoare execuției curente, care reprezintă instrucțiunile ce urmează să se execute dacă nu se întâlnește o instrucțiune de transfer al controlului programului (salt). Dacă, la un moment dat, se transferă controlul la altă locație de memorie, coada este inițializată, BU citește instrucțiunea de la noua adresă, o transferă către EU și începe imediat citirea instrucțiunilor următoare.

Documentul complet de 64 pagini il poti citi daca il descarci din Biblioteca.RegieLive.ro

Imagini din documentul complet:



Mai multe detalii se gasesc in [pagina documentului](#) din [Biblioteca.RegieLive.ro](#)